

WEST

Generate Collection

Print

L2: Entry 1 of 1

File: JPAB

Mar 5, 1993

PUB-NO: JP405055380A

DOCUMENT-IDENTIFIER: JP 05055380 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: March 5, 1993

INVENTOR-INFORMATION:

NAME

COUNTRY

SUDO, TOSHIO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

APPL-NO: JP03211009

APPL-DATE: August 22, 1991

US-CL-CURRENT: 327/565

INT-CL (IPC): H01L 21/82; H01L 21/3205

ABSTRACT:

PURPOSE: To provide a semiconductor integrated circuit device which is able to operate stably, free from malfunction, and high in reliability and where a connection wiring is easily connected to an active element located at its center, and a power supply wiring is also easily connected to power supply I/O pads installed at its center.

CONSTITUTION: In a semiconductor integrated circuit device provided with wiring layers, a power supply wiring layer 9 is formed nearly throughout the upside of a laminated structure 8 composed of a first signal wiring layer 4, a first insulating layer 5, a second signal wiring layer 6, and a second insulating layer 7, and a ground wiring layer 11 is provided nearly throughout the upside of the wiring layer 9. By this setup, a power supply wiring can be lessened in inductance and function as a bypass capacitor to suppress noises emitted from the power supply wiring and to prevent EMI emitted from a chip.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-55380

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.³

H 0 1 L 21/82
21/3205

識別記号

庁内整理番号

F I

技術表示箇所

9169-4M
7353-4M

H 0 1 L 21/ 82
21/ 88

L
A

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-211009

(22)出願日 平成3年(1991)8月22日

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 須藤 俊夫

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

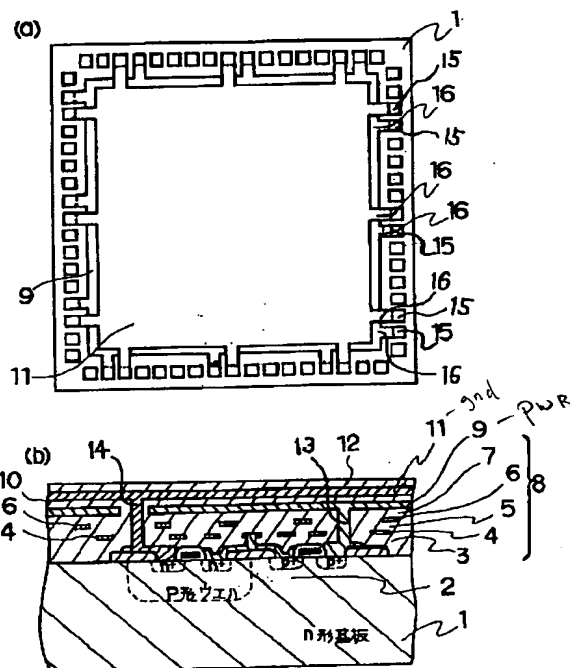
(74)代理人 弁理士 須山 佐一 (外1名)

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 動作が安定し誤動作も抑えられて信頼性が高く、半導体集積回路チップの中央部に位置する能動素子への接続配線やその中央部に設置された電源系1/Oパッドへの電源系配線の接続が容易で、しかも半導体集積回路装置自身においてEMIを防ぐことを可能とした半導体集積回路装置を提供する。

【構成】 複数の配線層を有する半導体集積回路装置において、第1の信号配線層4、第1の絶縁層5、第2の信号配線層6、第2の絶縁層7を有する積層構造8の上層にはほぼ1層全面にわたって電源配線層9が形成され、さらにその上層にはほぼ1層全面にわたって接地配線層11が配設され、これにより電源系配線のインダクタンスを小さくするとともに、これがバイパスコンデンサとして機能して電源系配線のノイズを抑制し、またチップ内部から発生するEMIを防ぐ。



1

【特許請求の範囲】

【請求項1】 複数の配線層を有する半導体集積回路装置において、

前記複数の配線層のうち少なくとも1層に略全面にわたって電源配線層が形成され、

前記電源配線層以外の少なくとも1層に略全面にわたって接地配線層が形成されてなることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は複数の配線層を有する半導体集積回路装置に関する。

【0002】

【従来の技術】電子機器においては近年、情報処理の高速化、多機能集積化、小型化、省電力化などの動きが顕著であるが、これに伴って半導体集積回路装置の分野でも情報処理の高速化、デザインルールの超微細化および多層配線化などの高集積化が進んでいる。

【0003】ところが、情報処理の高速化を実現するためには半導体集積回路装置の出力バッファの高速なスイッチング動作を行なうことが必要となり、この際に電源系配線に瞬間的に大きな電流パルスが流れて電源電圧が大きく変動するが、超微細パターン化の進んだ半導体集積回路装置の電源系配線はそのパルスを支障なく流せるほどの配線幅を有していない。このために電源系配線中の電圧降下が無視できないものとなって、半導体集積回路チップ内に供給される電源電圧にばらつきが生じ、能動素子のノイズマージンが減少して回路動作が不安定になるという問題や、スイッチング時に流れる大きな電流が電源系の持つインダクタンスによってノイズを生じさせ、回路の誤動作を発生させるという問題があった。

【0004】このような従来技術に係る半導体集積回路装置の電源系配線の一例を図4に示す。この図4に明らかなように、従来の半導体集積回路装置の電源系配線、即ち電源配線401および接地配線402は、半導体集積回路チップの周辺部に列設されたI/Oパッド403に沿うような形に配設された線状の配線であって、そのパターンから櫛状に伸びた支線404により各電源系のI/Oパッドが電源系配線に接続され、この電源系配線によってさらにチップ内に造り込まれた各能動素子

(図示省略)に接続されている。このような従来の半導体集積回路装置の電源系配線は、十分な配線幅を有する配線ではなく、またそのパターン形状に起因して半導体集積回路チップの中央部に位置する能動素子への接続のための配線設計も容易ではないという問題があった。

【0005】また、半導体集積回路装置の高集積化により、特にロジック系の半導体集積回路装置においてはI/Oのピン数が著しく増加し、また一般的に超微細パターン化も進んでいるので、半導体集積回路チップの周辺部だけにI/Oパッドを設けることには限界があるため

2

に、その中央部にもI/Oパッドを設けるという要請が表面実装型P. G. A (ピン・グリッド・アレイ) の登場など実装形態の多様化に伴って顕著になってきている。しかしながらこのように中央部に設置された電源系I/Oパッドへの電源系配線の接続は、従来のような口の字型に配設された線状の電源系配線では設計が容易ではないという問題があった。

【0006】さらに、情報処理の高速化や高集積化により、近年、電子機器のEMI (電磁気的ノイズの漏洩) の問題がますます深刻な問題となってきている。このEMIの問題を解決するために電磁気シールド材などが開発されているものの、その発生源である半導体集積回路装置自身においてこれを防ぐことが必要とされるに至っているが、この半導体集積回路装置自身から発するEMIに対して現在のところ十分な対策が成されているとは言えないという問題があった。

【0007】

【発明が解決しようとする課題】このように従来の半導体集積回路装置においては、電源系配線中の電圧降下により半導体集積回路チップ内に供給される電源電圧がばらつき、半導体集積回路装置の能動素子のノイズマージンが減少して回路動作が不安定になるという問題や、スイッチング時に流れる大きな電流パルスにより電源系にノイズが発生し回路に誤動作を発生させるという問題があった。また、半導体集積回路チップの中央部に位置する能動素子への接続配線の設計(引き回し)も容易ではないという問題や、半導体集積回路チップの中央部に設置された電源系I/Oパッドへの電源系配線の接続の設計が容易ではないという問題があった。また、半導体集積回路装置自身から発するEMIに対して現在のところ十分な対策が成されているとは言えないという問題があった。

【0008】本発明はかかる問題を解決するために成されたもので、その目的とするところは、半導体集積回路チップ内に供給される電源電圧のばらつきや回路動作の不安定さや回路の誤動作の問題を解消して、動作が安定し誤動作も抑えられて信頼性が高く、半導体集積回路チップの中央部に位置する能動素子への接続配線やその中央部に設置された電源系I/Oパッドへの電源系配線の接続が容易で、しかも半導体集積回路装置自身においてEMIを防ぐことを可能とした半導体集積回路装置を提供することにある。

【0009】

【課題を解決するための手段】本発明の半導体集積回路装置は、複数の配線層を有する半導体集積回路装置において、前記複数の配線層のうち少なくとも1層に略全面にわたって電源配線層が形成され、前記電源配線層以外の少なくとも1層に略全面にわたって接地配線層が形成されてなることを特徴としている。

【0010】なお、上述の電源配線層および接地配線層

は、そのチップの能動素子の配設された領域のほぼ全面、具体的には約70%程度以上を覆うように配設されたときにチップ上にデカップリングコンデンサが形成され電源系ノイズの低減に効果的に作用し、またチップ自身から発するEMIの除去などの効果を発揮するものである。

【0011】また、上述の電源配線層および接地配線層は、必ずしも全面ベタの層とする必要はなく、層間接続などのために部分的に穴あるいは切り欠き部分を設けたり、あるいはベタ面ではなくメッシュ状（格子状）に設けてそのメッシュや切り欠きの隙間からビアなどを通して層間接続が容易になる。またチップ表面から直接電源および接地用のI/Oパッドを2次元状に配置し、バンプを形成しフリップチップ実装することなども可能である。

【0012】

【作用】半導体集積回路装置の複数の配線層のうちの1層はほぼ全面にわたって電源配線層が形成され、かつその電源配線層以外の1層はほぼ全面にわたって接地配線層が形成されている。そしてこのベタの電源配線層およびベタの接地配線層の四周の各辺からは櫛状に伸びた各支線がそれぞれ各電源系I/Oパッドに接続され、また該半導体集積回路装置チップの中央部に設置された能動素子にもその他端が接続されている。従って、出力バッファのスイッチング時などに発生する振幅の大きな電源系電圧パルスはこれらの間の最短距離を走ることができ、また従来の技術に係る半導体集積回路装置の線状の電源系配線と比べてその抵抗値またはインピーダンス値は大幅に低いものとなり半導体集積回路チップ内に供給される電源電圧のばらつきや回路動作の不安定さや回路の誤動作の問題が解消される。

【0013】また、電源配線層および接地配線層と信号配線層とは別の層に分けられているので、信号配線層内での信号配線の自由度が妨げられることがない。

【0014】さらにこの層間にデカップリングコンデンサを直接チップ上に形成することが可能となるため電源系のインピーダンスがより小さくなり、従ってノイズも小さくなる。

【0015】また、電源配線層および接地配線層はチップの1層はほぼ全面にわたって配設されているので、チップ内の能動素子とでも容易に接続をとることができる。またチップの周辺部にある各電源系I/Oパッドとの接続のみならず、チップ中央部に2次元的に電源系I/Oパッドを任意に配置できる。また、複数の配線層のうちの一層はほぼ全面にわたる電源配線層とその電源配線層以外の一層はほぼ全面にわたる接地配線層とにより、半導体集積回路チップ内部において静電遮蔽が行なわれて、該チップの能動素子自身から発するEMIを防いでいる。

【0016】

【実施例】以下、本発明の実施例を図面に基づいて詳細

に説明する。

【0017】（実施例1）図1（a）は、本発明の第1の実施例に係る半導体集積回路装置の構成を示す平面図であり、図1（b）はその側面断面図である。

【0018】この半導体集積回路装置は、図1（b）に示すように、下層から順にn型シリコン基板1と、そのn型シリコン基板1の表面部に形成された能動素子2と、その上に第1の絶縁層3、第1の信号層4、第2の絶縁層5、第2の信号層6、第3の絶縁層7とが順次交互に積層されてなる積層構造8と、この積層構造8のほぼ全面を覆うように配設された電源配線層9およびその上面に絶縁層10を介して配設された接地配線層11と、この上層に配設された絶縁層12と、前述の能動素子2の電源端子と電源配線層9とを接続する接続ビア13および前述の能動素子2の接地端子と接地配線層11とを接続する接続ビア14とを有している。このように本発明の半導体集積回路装置は電源配線層9および接地配線層11がそれぞれ信号配線層を有する積層構造8とは別に一層ずつ割り当てられているので、第1の信号配線層4と第2の信号配線層6の信号配線の自由度がほとんど妨げられておらず、信号配線の最短距離で効果的な配線を可能としている。また、チップの中央部に設けられた能動素子と電源配線層9および接地配線層11の接続も特別なパターン設計を必要とせず、接続ビア13、14を配設するだけで簡易に接続することができる。

【0019】また、この半導体集積回路装置は、平面的には図1（a）に示すように、そのチップの四周の辺に沿うように配設された電源系I/Oパッド15にまで電源配線および接地配線から伸びて接続される複数の支線16を有している。そしてこれらの複数の支線16とチップ中央部に設けられた能動素子の電源端子との電氣的接続は、電源配線層9および接地配線層11内において平面状に接続されるので、細い線状の電源系配線により接続されていた従来の半導体集積回路装置に比べて格段に直流における抵抗および交流におけるインピーダンスの低減を実現しており、電圧降下による半導体集積回路チップ内に供給される電源電圧のばらつきや回路動作の不安定さや回路の誤動作の問題などが解決されて、その回路の動作の信頼性が大幅に向上している。

【0020】このとき電源配線層9と接地配線層11との間に挟まれる絶縁層10の材質、（特にその誘電率）を適宜選択して、その絶縁層10を電源配線層9と接地配線層11で積層することにより、チップ上にバイパス用コンデンサを形成して、電源系ノイズの低減を効果的に図ることもできる。

【0021】また、この半導体集積回路装置は、電源配線層9および接地配線層11によって静電遮蔽機能が実現され、チップ内部の能動素子や信号配線から発生する電磁気ノイズを、そのチップ表面から外へは漏れないようにしており、EMIの問題に対してその発生源から対

処してこれを解決している。

【0022】図1の例では、電源配線層9と接地配線層11がベタ状の平面で構成される例を示したが、図2に示すように、電源配線層209と接地配線層211とをベタ配線層ではなくメッシュ状に配設し、その対向する面積を調節することで、電源配線層209と接地配線層211と絶縁層210とにより形成されるデカップリングコンデンサの容量値を調節して電源系ノイズのより効果的な低減を図ることもできる。

【0023】この例では、電源配線層209のメッシュおよび接地配線層211のメッシュのピッチを縦横1/2ピッチずつずらして対向させると、対向面積が減少するので層間のピンホールの問題が軽減される。またメッシュ状配線とベタ配線とを比較すると、メッシュ状配線の方が能動素子間を接続する信号配線の容量を低減できるため、負荷容量による素子の高速性の低下を防ぐことができる。

【0024】（実施例2）図3（a）は第2の実施例に係る半導体集積回路装置の構成を示す平面図、図3（b）はその側面断面図である。

【0025】この第2の実施例に係る半導体集積回路装置の構成は、層構造については第1の実施例と同様である。本発明では図3に示すように電源系用I/Oパッド301がチップ周辺部のみならずチップ中央部にも配設されている。このとき、このチップを実装する配線基板（図示省略）との接続にはフリップチップ方式を用いることができるように、チップ周辺部の信号用および電源系用I/Oパッドのみならず、中央部のI/Oパッド上にもバンパ302が形成される。

【0026】第1の実施例の図2の例でいえば、チップの中央部に配設される電源系用I/Oパッド301およびバンパ302は、電源配線層もしくは接地配線層のメッシュの十字路状の交点部の真上のチップ表面に配設され、電源配線層303や接地配線層304に接続ビア305によって接続されている。特に電源配線層303からバンパ302への接続ビアは接地配線層304を一旦貫通しなければチップ表面へと到達できず、また接地配線層304から能動素子306の接地端子への接続ビアは電源配線層303を一旦貫通しなければ能動素子306へと到達できないので、これらの接続ビアは電源配線層303または接地配線層304のメッシュの格子間を通り抜けるように配設されて、これらが電氣的に短絡することのないようにしている。このように電源配線層3

03および接地配線層304がメッシュ状に配設されていることにより、接続ビア305の層間貫通を容易なものとすることができる。この場合、実施例1と比べて配線基板上の電源および接地層への経路が更に短くなるため、電源系に生ずるノイズを更に低減できる。

【0027】

【発明の効果】以上詳細に説明したように、本発明の半導体集積回路装置は、半導体集積回路チップ内に供給される電源電圧のばらつきや回路動作の不安定さや回路の誤動作の問題を解消して、動作が安定して誤動作も抑えられ信頼性が高く、半導体集積回路チップの中央部に位置する能動素子への接続配線やその中央部に設置された電源系I/Oパッドへの電源系配線の接続が容易であり、しかも半導体集積回路装置自身においてEMIを防いだ半導体集積回路装置である。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る半導体集積回路装置の構成を示す平面図（a）およびその側面断面図（b）。

20 【図2】メッシュ状の電源配線層および接地配線層を有する本発明の第1の実施例に係る半導体集積回路装置の構成を示す平面図（a）およびその側面断面図（b）。

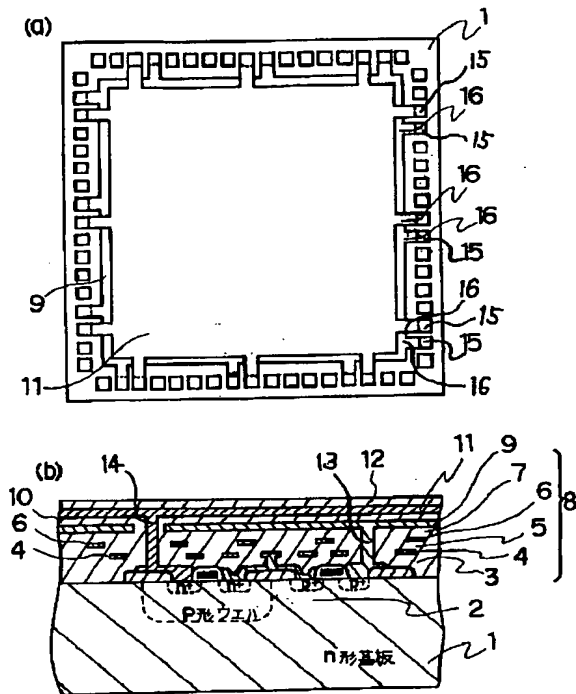
【図3】本発明の第2の実施例に係る半導体集積回路装置の構成を示す平面図（a）およびその側面断面図（b）。

【図4】従来の半導体集積回路装置の構成を示す平面図。

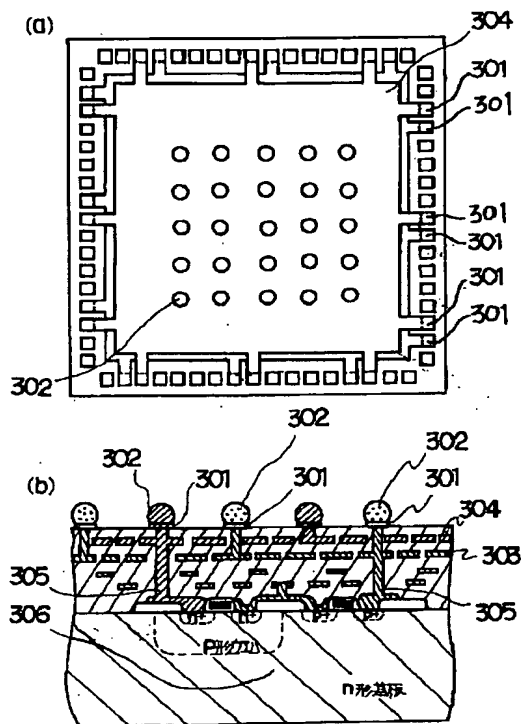
【符号の説明】

- 1……………n型シリコン基板
- 2……………能動素子
- 3……………第1の絶縁層
- 4……………第1の信号配線層
- 5……………第2の絶縁層
- 6……………第2の信号配線層
- 7……………第3の絶縁層
- 8……………積層構造
- 9……………電源配線層
- 10、12…絶縁層
- 11……………接地配線層
- 13、14…接続ビア
- 15……………I/Oパッド
- 16……………支線

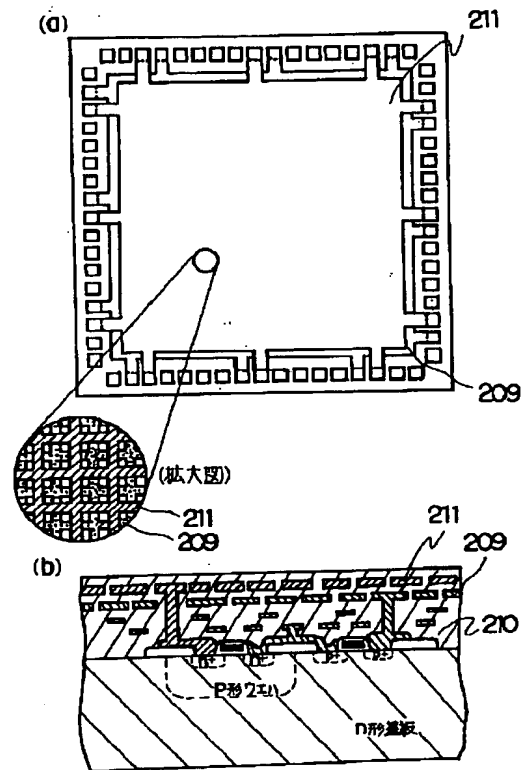
【図1】



【図3】



【図2】



【図4】

